

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-337762

(43)Date of publication of application : 28.11.2003

51)Int.Cl.

G06F 13/00

G06F 13/38

21)Application number : 2002-146818

(71)Applicant : NIPPON SIGNAL CO LTD:THE

22)Date of filing : 21.05.2002

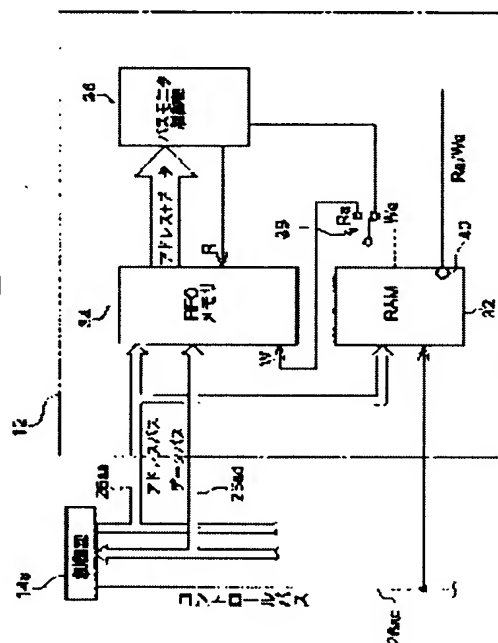
(72)Inventor : HIRAMOTO MASAYUKI

## 54) BUS MONITOR CIRCUIT

### 57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the storage amount of unnecessary data in an FIFO memory and to shorten the data processing time in a bus monitor circuit in the bus monitor circuit monitoring data access on a bus by a control part in a signal processing circuit for a railroad.

**SOLUTION:** This bus monitor circuit 12 is provided with the FIFO memory 34 and a RAM 32 storing information for distinguishing necessity/non-necessity of data acquisition of respective addresses and outputting a signal setting the FIFO memory 34 in a data writable condition when the control part 14a makes access to an address requiring data acquisition on an address bus 26aa. The FIFO memory 34 acquires data about the address requiring data acquisition from a data bus 26ad in the data writable condition to store it. In this way, the FIFO memory 34 can store the data by an address unit.



## LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-337762

(P2003-337762A)

(43) 公開日 平成15年11月28日 (2003. 11. 28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 6 F 13/00	3 0 1	G 0 6 F 13/00	3 0 1 C 5 B 0 7 7
13/38	3 1 0	13/38	3 1 0 B 5 B 0 8 3

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2002-146818 (P2002-146818)

(22) 出願日 平成14年5月21日 (2002. 5. 21)

(71) 出願人 000004651

日本信号株式会社

東京都豊島区東池袋三丁目1番1号

(72) 発明者 平本 正幸

埼玉県さいたま市上木崎1丁目13番8号

日本信号株式会社与野事業所内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

Fターム (参考) 5B077 DD02 DD11

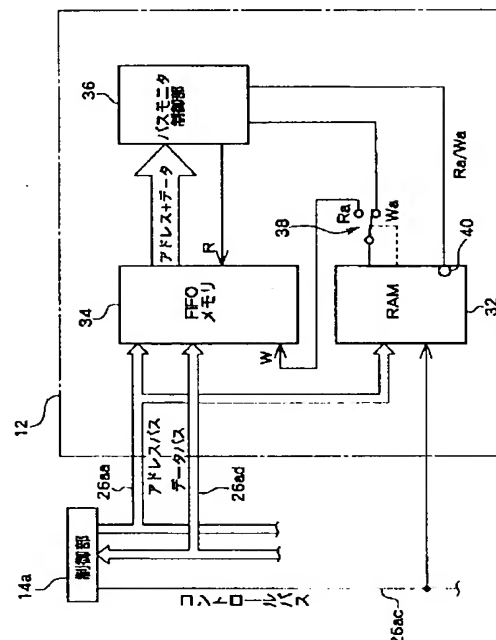
5B083 BB01 CC10 EE11 GG04

(54) 【発明の名称】 バスモニタ回路

(57) 【要約】

【課題】 鉄道用信号処理回路の制御部によるバス上のデータアクセスを監視するバスモニタ回路において、F I F Oメモリにおける不要なデータの記憶量を低減するとともに、バスモニタ回路におけるデータ処理時間を短縮する。

【解決手段】 本発明にかかるバスモニタ回路12は、F I F Oメモリ34と、各アドレスのデータ取得の要否を識別する情報を格納し、制御部14aがアドレスバス26aa上でデータ取得に必要なアドレスにアクセスしたときに、上記F I F Oメモリ34をデータ書き込み状態とする信号を出力するRAM32と、を備え、上記F I F Oメモリ34は、上記データ書き込み状態においてデータバス26adからデータ取得に必要なアドレスのデータを取得してこれを格納する。こうすることで、F I F Oメモリ34は、アドレス単位でデータを記憶することができる。



## 【特許請求の範囲】

【請求項 1】 デジタル回路として構成される鉄道用信号処理回路の制御部によるバス上のデータアクセスを監視するバスモニタ回路であって、

FIFOメモリと、

複数アドレスについて各アドレスのデータ取得の要否を識別する情報を格納し、制御部がアドレスバス上でデータ取得の必要なアドレスにアクセスしたときに、前記FIFOメモリをデータ書き込み状態とする信号を出力するRAMと、

を備え、

前記FIFOメモリは、前記データ書き込み状態においてデータバスからデータ取得の必要なアドレスのデータを取得してこれを格納することを特徴とするバスモニタ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デジタル回路を有する鉄道用信号処理システムに関し、特に、デジタル回路の制御部によるデータバス上のデータアクセスを監視するバスモニタ回路に関する。

## 【0002】

【従来の技術】ATCシステム、ATSシステム、または電子連動装置等の鉄道用信号処理システムには、信号処理回路として、制御部、システムメモリなどを含むデジタル回路を有するものがある。このような鉄道用信号処理システムで生じたシステムエラーの原因を究明するため、信号処理回路のデータバス上で制御部のデータアクセスを監視するバスモニタ回路が提案されている。ここで、従来のバスモニタ回路の構成および動作について図面を参照して説明する。図4は、従来のバスモニタ回路50の回路構成図、また図5は、アドレスに応じたデータの取得／非取得設定を示す図である。

【0003】信号処理回路54は、所定の信号処理を行う制御部（例えばCPU）52、データを伝送するためのデータバス56d、アドレスを伝送するためのアドレスバス56a、および制御信号を伝送するためのコントロールバス56cを含む。

【0004】バスモニタ回路50は、ROM58、FIFO（First-In First-Out）メモリ60、バスモニタ制御部（例えばCPU）62およびスイッチ群64を含む。

【0005】スイッチ群64は複数（例えばn個）のスイッチSW1～SWnを含む。図5に示すように、各スイッチSW1～SWnは、制御部52のアクセス可能なアドレスの群としてのアドレス群B1～Bnに対応して設定されている。図5の例の場合、スイッチSW1は、アドレス群B1（アドレス00h～0Fh）に、またスイッチSW2は、アドレス群B2（アドレス10h～1Fh）に、それぞれ対応している。

【0006】ROM58は、アドレスバス56aに接続されており、制御部52のアクセスしたアドレスを検知することができる。そして、ROM58は、閉じられたスイッチ（図5の例ではSW2）に対応するアドレス

（同10h～1Fh）に制御部52がアクセスすると、FIFOメモリ60に向けて書き込み制御信号（W）を出力する。

【0007】FIFOメモリ60は、アドレスバス56aおよびデータバス56dに接続されている。そしてFIFOメモリ60は、ROM58から書き込み制御信号（W）を受け取ると、その時点で制御部52がアクセスしたアドレス（図5の例では10h～1Fh）をアドレスバス56aから取得してこれを格納する。またFIFOメモリ60は、その時点でそのアドレス（同10h～1Fhのデータ）で制御部52に入力されたデータまたは制御部52から出力されたデータをデータバス56dから取得して、これを格納する。

【0008】そしてバスモニタ制御部62は、FIFOメモリ60に向けて読み出し制御信号（R）を出力し、格納されたアドレスおよびデータを取得する。そして、そのアドレスおよびデータに基づいて所定の信号処理（例えばデータの解析処理等）を行う。

## 【0009】

【発明が解決しようとする課題】上記従来のバスモニタ回路では、FIFOメモリは、アドレス群単位でデータを格納していた。したがって、バスモニタ制御部のデータ処理では例えば一アドレス分のデータのみが用いられる場合にも、FIFOメモリにはそれ以外の余計なデータも格納しなければならず、その分、FIFOメモリの記憶容量を余分に確保しなければならなかった。またバスモニタ制御部におけるデータ処理の際、不要なデータを含む一アドレス群分のデータ群から必要なデータのみを選別する工程が必要となる分、時間がかかっていた。

## 【0010】

【課題を解決するための手段】本発明にかかるバスモニタ回路は、デジタル回路として構成される鉄道用信号処理回路の制御部によるバス上のデータアクセスを監視するバスモニタ回路であって、FIFOメモリと、複数アドレスについて各アドレスのデータ取得の要否を識別する情報を格納し、制御部がアドレスバス上でデータ取得の必要なアドレスにアクセスしたときに、上記FIFOメモリをデータ書き込み状態とする信号を出力するRAMと、を備え、上記FIFOメモリは、上記データ書き込み状態においてデータバスからデータ取得の必要なアドレスのデータを取得してこれを格納する。こうすることで、FIFOメモリは、個々のアドレス単位でデータを記憶することができるから、上記従来のバスモニタ回路に比べて不要なデータの記憶量を低減することができるとともに、データ選別等の所要時間が短縮される分、バスモニタ制御部によるデータ処理時間が短縮され

る。

#### 【0011】

【発明の実施の形態】以下、本発明の実施形態にかかるバスモニタ回路12の接続される列車用信号供給装置10について、図面を参照して説明する。図1は、列車用信号供給装置10の概略構成を示すブロック図、図2は、バスモニタ回路12の概略構成を示すブロック図、また図3は、各アドレスのデータの要／不要設定の一例を示す図である。

【0012】まず、図1を参照して列車用信号供給装置10について説明する。列車用信号供給装置10は、軌道の閉そく区間（図示せず）に列車用の信号（供給信号；例えば規制速度を示す信号）を供給する。

【0013】列車用信号供給装置10は、列車用の信号を生成するための各構成要素の制御や情報処理等を行う制御部（例えばCPU等）14a、14b、および制御部14a、14bでの処理に必要な種々のデータを記憶する記憶部（例えばRAM、ROM等）15a、15bを有する。さらに列車用信号供給装置10は、制御部14a、14bによって制御される被制御部として、閉そく区間に供給される信号（供給信号）の元信号を生成する発振部16、元信号を変調することにより種々のデータを信号に載せる変調部18、および供給信号のゲインを調整するアッテネータ20等を有する。アッテネータ20の後段には、アッテネータ20より出力された信号を一定の増幅率で増幅する増幅部22が設けられ、この増幅部22からの出力が閉そく区間への供給信号となる。さらに列車用信号供給装置10には、供給信号の特性（例えば振幅、周波数、データ内容等）を検出する信号検出部24が設けられる。この信号検出部24での検出結果に基づいて、上記被制御部がフィードバック制御される。なお、アッテネータ20に替えて可変増幅部を備え、この可変増幅部によって供給信号の振幅を調整することも可能である。その場合、可変増幅部は被制御部となる。

【0014】この列車用信号供給装置10では、複数（例えば二つ）の制御部（14aは主制御部、14bは副制御部）が多重系として構成され、信頼性の向上が図られている。これら制御部14a、14bには、バス26a、26bがそれぞれ接続される。バス26a、26bは、それぞれ、データバス（26ad；図2）、アドレスバス（26aa；図2）、コントロールバス（26ac；図2）等を含む。そして各制御部14a、14bは、通常、接続されたバス26a、26bを経由して、他の構成部分（被制御部または信号検出部24）との間における諸信号の授受を行う。なお、図1のように、制御部14a、14bとバス26a、26bとの接続を切り替え可能なバス切替部28が設けられる場合には、各制御部14a、14bは、バス26a、26bのいずれを介しても諸信号の入力あるいは出力を実行することが

できる。

【0015】多重系として構成される複数の制御部14a、14bは、同じ入力信号によって同一条件のもとで動作し、正常状態であれば同じ出力信号を並行して生成する。それら制御部14a、14bから並行して出力される複数の信号、またはそれら制御部14a、14bに並行して入力される複数の信号が、比較部30において比較される。そしてそれらが同一でない場合には、比較部30から制御部14aまたは14bに向けて異常検出信号が送信される。制御部14aまたは14bは、異常検出信号を受け取ると、所定アドレスのデータとしてエラーコードをバス26a、26bを介して送出する。なお、図1の列車用信号供給装置10の場合は、比較部30で異常が検出された時点で、供給信号の生成および出力が停止される。

【0016】このような比較部30が設けられる場合、バス26a、26bにおけるデータアクセスを監視するバスモニタ回路12は、複数のバス26a、26bのうち少なくともいずれか一方（図1の例の場合はバス26a）に接続すれば充分である。これは、上記比較部30が正しく機能することで、制御部14a、14bの正常動作中においては、制御部14a、14bにそれぞれ接続される互いに並列な複数のバス26a、26bについて同一信号の伝送が保証されるからである。なお、バスモニタ回路12の構成および動作については後に詳しく述べる。

【0017】被制御部および信号検出部24は、少なくともバスモニタ回路12の接続されるバス（図1の例の場合26a）に接続される。このような構成により、バスモニタ回路12は、制御部14a、14bと被制御部あるいは制御部14a、14bと信号検出部24の間のデータアクセスを、より確実に監視することができる。なお、図1の例では、発振部16および信号検出部24は、特に高い信頼性を確保するため、複数のバス（26aおよび26b）に接続される。

【0018】次に、図2および図3を参照してバスモニタ回路12の内部構成および動作について説明する。バスモニタ回路12は、例えば、列車用信号供給装置10のソケット（図示せず）に着脱自在なボードとして構成される。

【0019】バスモニタ回路12は、RAM32、FIFOメモリ34、バスモニタ制御部（例えばCPU）36および、入出力切替スイッチ38を含む。

【0020】バスモニタ制御部36は、RAM32のリード（読み出し：Ra）／ライト（書き込み：Wa）を制御する信号を、RAM32のI/O制御ポート40に入力する。I/O制御ポート40にRAM32への書き込みを指示する信号（Wa）が入力されたとき、RAM32は、入出力切替スイッチ38を書き込み側（Wa側）に切り替える。このとき、バスモニタ制御部36

は、例えば、列車用信号供給装置 10 の記憶部 15 a (図 1) から、データバス 26 a d を介して図 3 に示すような各アドレスのデータ取得の要否を識別する情報を取得し、これを RAM 32 に書き込む。なお、図 3 の例では、アドレス 02 h のデータのみがバスモニタ制御部 36 での信号処理に必要なデータであることを示している。また、バスモニタ制御部 36 は、この情報を RAM 32 に書き込むとき以外は、I/O 制御ポート 40 に RAM 32 からの読み出しを指示する信号 (Ra) を入力し、入出力切替スイッチ 38 を読み出し側 (Ra 側) に

セットしておく。  
【0021】RAM 32 は、アドレスバス 26 a a に接続されており、制御部 14 a のアクセスしたアドレスを検知することができる。そして RAM 32 は、制御部 14 a がアドレスバス上でデータ取得の必要なアドレス (図 3 の例では 02 h) にアクセスしたときに、FIFO メモリ 34 に向けて、FIFO メモリ 34 をデータ書き込み状態とする信号 (書き込み制御信号 (W)) を出力する。

【0022】FIFO メモリ 34 は、アドレスバス 26 a a およびデータバス 26 a d に接続されている。そして FIFO メモリ 34 は、RAM 32 から書き込み制御信号 (W) を受け取ると、その時点で制御部 14 a がアクセスしたアドレス (図 3 の例では 02 h) をアドレスバス 26 a a から取得して、それを格納する。また FIFO メモリ 34 は、その時点で当該アドレス (同 02 h) で制御部 14 a に入力あるいは制御部 14 a から出力されたデータをデータバス 26 a d から取得して、それを格納する。こうして、FIFO メモリ 34 には、必要なアドレスを示す情報 (図 3 の例では 02 h) およ

びそのデータ (図 3 の例では 02 h のデータ) が格納される。  
【0023】そしてバスモニタ制御部 36 は、FIFO メモリ 34 に向けて読み出し制御信号 (R) を出力し、FIFO メモリ 34 に格納されたアドレスおよびデータを取得する。そして、そのアドレスおよびデータに基づいて所定の信号処理 (例えばデータの解析処理や信号処理状況を示す信号の生成等) を行う。

【0024】本実施形態にかかるバスモニタ回路 12 では、FIFO メモリ 34 に、アドレス群単位ではなく、個々のアドレス単位で必要なデータを格納することができるから、FIFO メモリ 34 に余分な記憶容量を確保する必要がない。また、バスモニタ制御部 36 において、不要なデータを含むデータ群から必要なデータのみを選別する工程が不要となる分、より迅速なデータ処理が実現される。

【0025】ところで、バスモニタ制御部 36 は、列車用信号供給装置 10 から制御することも可能である。例えば、列車用信号供給装置 10 の制御部 14 a、14 b は、信号検出部 24 で信号の異常が検出されたときや、

比較部 30 において異常が検出されたときに、その異常の種別に応じて、FIFO メモリ 34 に格納するアドレスを変更することができる。具体的には、例えば、記憶部 15 a、15 b には予め異常の種別に応じたデータ取得アドレスを示す情報が格納される。制御部 14 a、14 b は、記憶部 15 a、15 b に格納される前記情報と、信号検出部 24 や比較部 30 より受け取った異常発生を示す信号と、に基づいて各アドレスのデータ取得の要否を識別する情報を書き換える。ここで異常発生を示す信号は、例えば、バス 26 a、26 b において不一致となったデータを示す信号や、供給信号における振幅不足等を示す信号などである。次いで制御部 14 a、14 b は、データ取得アドレスの変更を示す信号を生成し、これをバスモニタ制御部 36 に向けて送信する。バスモニタ制御部 36 は、データ取得アドレスの変更を示す信号を受け取ると、記憶部 15 a から各アドレスのデータ取得の要否を識別する情報を取得し、これを RAM 32 に書き込む。

【0026】なお、バスモニタ回路 12 は、列車用信号供給装置 10 から取り外されたときにも、FIFO メモリ 34 の記憶内容を一定期間保持するためのバッテリ (図示せず) を有する。なお、列車用信号供給装置 10 に接続されているときには、バスモニタ回路 12 は、列車用信号供給装置 10 から電源電圧の供給を受ける。

#### 【0027】

【発明の効果】以上説明したように、本発明によれば、FIFO メモリは、アドレス単位でデータを記憶することができるから、上記従来のバスモニタ回路の FIFO メモリに比べて不要なデータの記憶量を減らすことができる。またデータ選別等の所要時間が短縮される分、バスモニタ制御部におけるデータ処理時間が短縮される。

#### 【図面の簡単な説明】

【図 1】 本発明の実施形態にかかるバスモニタ回路の接続された列車用信号供給回路の概略構成図である。

【図 2】 本発明の実施形態にかかるバスモニタ回路の概略構成図である。

【図 3】 本発明の実施形態にかかるバスモニタ回路におけるデータの要/不要の設定例を示す図である。

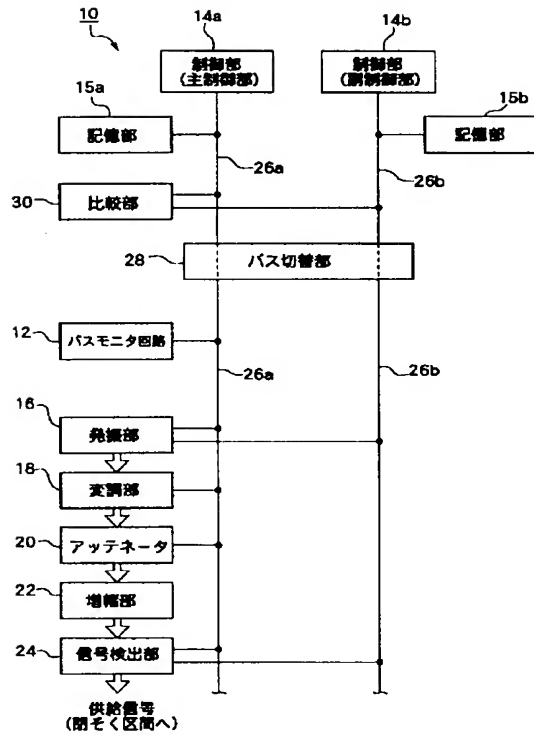
【図 4】 従来のバスモニタ回路の概略構成図である。

【図 5】 従来のバスモニタ回路におけるデータの要/不要の設定を示す図である。

#### 【符号の説明】

10 列車用信号供給装置、12 バスモニタ回路、14 a、14 b 制御部、15 a、15 b 記憶部、16 発振部、18 変調部、20 アッテネータ、22 増幅部、24 信号検出部、26 a、26 b バス、26 a a アドレスバス、26 a d データバス、28 バス切替部、30 比較部、32 RAM、34 FIFO メモリ、36 バスモニタ制御部、38 入出力切替スイッチ。

【図1】



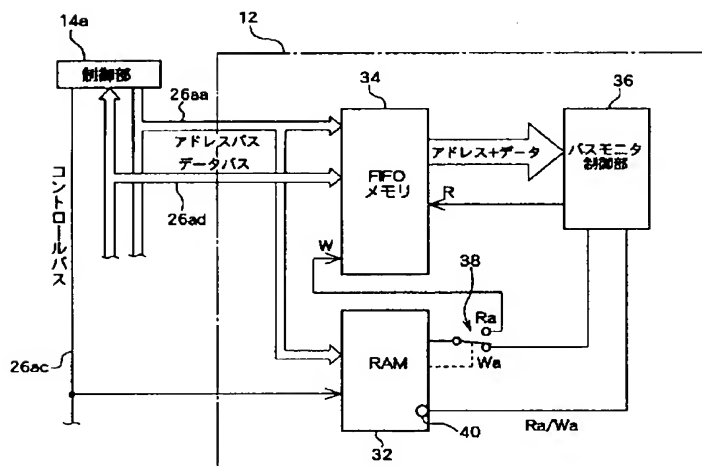
【図3】

アドレス	要/不要設定
00h	不要
01h	不要
02h	要
03h	不要
...	...

【図5】

アドレス	取得/非取得設定	
00h	非取得 (SW1=開)	B1
0Fh		
10h	取得 (SW2=閉)	B2
1Fh		
20h	非取得 (SW3=開)	B3
2Fh		
30h		...
...		
	非取得 (SWn=開)	Bn

【図2】



【図 4】

